

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-275342

(43)Date of publication of application : 21.10.1997

(51)Int.Cl.

H03M 1/14

H03F 3/45

H03M 1/10

H03M 1/12

(21)Application number : 08-084012

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.04.1996

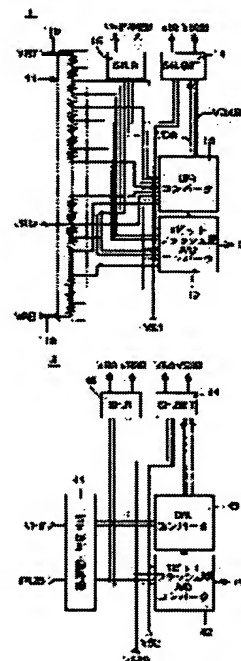
(72)Inventor : MATSUMOTO OSAMU  
KUMAMOTO TOSHIO

## (54) VOLTAGE COMPARATOR AND PIPELINE A/D CONVERTER USING THE SAME

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a pipeline A/D converter with high accuracy by adopting a prescribed circuit configuration by which the effect of the offset of a 1st sample-and-hold means is eliminated.

SOLUTION: A subtractor circuit (SH.SBT) 14 of an A/D converter block 1 at a 1st stage samples an analog voltage and provides the output of the offset voltage in a 1st phase, and subtracts the output voltage of a D/A converter 13 from the sampled analog voltage and outputs a subtraction result in a 2nd phase. An A/D converter 42 of an A/D converter block 2 of a 2nd stage subtracts the output voltage of the SH.SBT 14 in the 1st phase from the output voltage in the 2nd phase and converts the subtraction result into a digital code D3. Thus, the effect of an offset of a differential amplifier 33 included in the SH.SBT 14 is eliminated.



## LEGAL STATUS

[Date of request for examination]

23.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-275342

(43)公開日 平成9年(1997)10月21日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M	1/14		H 0 3 M 1/14	A
H 0 3 F	3/45		H 0 3 F 3/45	Z
H 0 3 M	1/10		H 0 3 M 1/10	A
	1/12		1/12	C

審査請求 未請求 請求項の数10 O L (全 20 頁)

(21)出願番号 特願平8-84012

(22)出願日 平成8年(1996)4月5日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 松本 修

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 熊本 敏夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

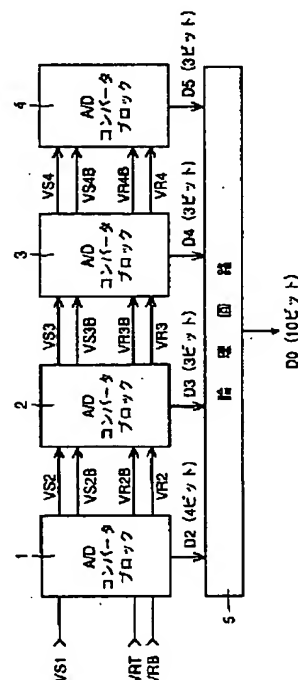
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 電圧比較器およびそれを用いたパイプライン型A/Dコンバータ

(57)【要約】

【課題】 高精度なパイプライン型A/Dコンバータを提供する。

【解決手段】 A/Dコンバータブロック1のSH. SBT14は、第1フェーズでアナログ電圧をサンプリングするとともにオフセット電圧を出力し、第2フェーズではサンプリングしたアナログ電圧からA/Dコンバータ13の出力電圧を減算し減算結果を出力する。次段のA/Dコンバータブロック2のA/Dコンバータ42は、SH. SBT14の出力電圧の第2フェーズの値から第1フェーズの値を減算し減算結果をデジタルコードD3に変換する。SH. SBT14に含まれる差動増幅器33のオフセットの影響が除去され、高精度なA/D変換が可能となる。



## 【特許請求の範囲】

【請求項1】 クロック信号に同期して動作し、外部から与えられたアナログ電圧を所定ビット数のデジタルコードに変換するパイプライン型A/Dコンバータであって、

前記クロック信号が第1の電位である期間に前記アナログ電圧をサンプリングし、前記クロック信号が第2の電位である期間に該サンプリングしたアナログ電圧を第1のデジタルコードに変換する第1のA/Dコンバータ、前記A/Dコンバータで生成された第1のデジタルコードをアナログ電圧に変換し該アナログ電圧を前記クロック信号が第2の電位である期間に出力するD/Aコンバータ、

前記クロック信号が第1の電位である期間に前記外部から与えられたアナログ電圧をサンプリングするとともにオフセット電圧を出力し、前記クロック信号が第2の電位である期間に該サンプリングしたアナログ電圧から前記D/Aコンバータで生成されたアナログ電圧を減算し減算結果を出力する第1のサンプル/ホールド手段、前記第1のサンプル/ホールド手段の前記クロック信号が第2の電位である期間の出力電圧から前記クロック信号が第1の電位である期間の出力電圧を減算する第1の減算手段、

前記減算手段の減算結果を第2のデジタルコードに変換する第2のA/Dコンバータ、および前記第1および第2のA/Dコンバータで生成された第1および第2のデジタルコードに基づいて前記所定ビット数のデジタルコードを生成する論理回路を備える、パイプライン型A/Dコンバータ。

【請求項2】 前記第1のA/Dコンバータは、それぞれが複数のデジタルコードに対応する複数の第1の比較用基準電圧と、それぞれが前記複数のデジタルコードに対応する複数の減算用基準電圧とを生成する第1の電圧発生手段、

それぞれが、前記複数の第1の比較用基準電圧に対応して設けられ、前記クロック信号が第1の電位である期間に前記アナログ電圧をサンプリングし、前記クロック信号が第2の電位である期間に該サンプリングしたアナログ電圧を対応の第1の比較用基準電圧とを比較する複数の第1の電圧比較手段、および前記複数の第1の電圧比較手段の比較結果に基づいて前記複数のデジタルコードのうちのいずれかのデジタルコードを選択し、該選択したデジタルコードを前記第1のデジタルコードとして出力する第1のエンコーダを含み、

前記D/Aコンバータは、前記第1の電圧発生手段で生成された各減算用基準電圧に対応して設けられ、その一方端子が対応の減算用基準電圧を受け、その他方端子が前記第1のサンプル/ホールド手段に接続され、前記第1のエンコーダによって対応のデジタルコードが選択されたことに応じて導通する第1のスイッチ手段を含み、

前記第2のA/Dコンバータは、

それぞれが複数のデジタルコードに対応する複数の第2の比較用基準電圧を生成する第2の電圧発生手段、それぞれが、前記複数の第2の比較用基準電圧に対応して設けられ、対応の第2の比較用基準電圧と前記第1の減算手段の減算結果とを比較する複数の第2の電圧比較手段、および前記複数の第2の電圧比較手段の比較結果に基づいて前記複数のデジタルコードのうちのいずれかのデジタルコードを選択し、該選択したデジタルコードを前記第2のデジタルコードとして出力する第2のエンコーダを含む、請求項1に記載のパイプライン型A/Dコンバータ。

【請求項3】 各第1の電圧比較手段は、前記比較結果に応じた互いに相補な信号が出力される第1および第2の出力ノード、

それぞれが前記第1および第2の出力ノードに所定の電流を供給する第1および第2の定電流源、

その第1の電極が前記第1の出力ノードに接続され、前記アナログ電圧が入力される第1の導電形式の第1のトランジスタ、

その第1の電極が前記第2の出力ノードに接続され、対応の第1の比較用基準電圧が入力される第1の導電形式の第2のトランジスタ、

その第1の電極が前記第1の出力ノードに接続され、その入力電極が前記第2の出力ノードに接続される第2の導電形式の第3のトランジスタ、

その第1の電極が前記第2の出力ノードに接続され、その入力電極が前記第1の出力ノードに接続される第2の導電形式の第4のトランジスタ、

前記クロック信号が第1の電位である期間は前記第1および第2のトランジスタの第2の電極を基準電位のラインに接続し、前記クロック信号が第2の電位である期間は前記第3および第4のトランジスタの第2の電極を前記基準電位のラインに接続する切換手段を含む、請求項2に記載のパイプライン型A/Dコンバータ。

【請求項4】 前記第1の電圧発生手段は、さらに前記第1のA/Dコンバータの1LSBに相当する基準電圧を生成し、

前記パイプライン型A/Dコンバータは、さらに、前記クロック信号が第2の電位である期間に前記基準電圧をサンプリングするとともにオフセット電圧を出力し、前記クロック信号が第1の電位である期間に該サンプリングした基準電圧を出力する第2のサンプル/ホールド手段を備え、

前記第2の電圧発生手段は、前記第2のサンプル/ホールド手段の出力電圧を分圧して前記複数の第2の比較用基準電圧を生成し、

前記第2のA/Dコンバータは、さらに、前記第2の電圧発生手段で生成された各第2の比較用基準電圧に対応して設けられ、対応の第2の比較用基準電圧の前記クロ

ック信号が第1の電位である期間の値から前記クロック信号が第2の電位である期間の値を減算し減算結果を出力する第2の減算手段を含み、

前記第2の電圧比較手段は、前記第1の減算手段の出力電圧と対応の第2の減算手段の出力電圧とを比較する、請求項2または3に記載のパイプライン型A/Dコンバータ。

【請求項5】 クロック信号に同期して動作し、外部から与えられたアナログ電位を所定ビット数のデジタルコードに変換するパイプライン型A/Dコンバータであって、

前記クロック信号が第1の電位である期間に前記アナログ電位をサンプリングし、前記クロック信号が第2の電位である期間に該サンプリングしたアナログ電位を第1のデジタルコードに変換する第1のA/Dコンバータ、前記第1のA/Dコンバータで生成された第1のデジタルコードをアナログ電位に変換し該アナログ電位と第1の基準電位とを前記クロック信号が第2の電位である期間に出力するD/Aコンバータ、

その一方端子が前記外部から与えられたアナログ電位を受け、前記クロック信号が第1の電位である期間に導通して該アナログ電位をサンプリングするための第1のスイッチ手段、

その一方端子が前記第1の基準電位を受け、前記クロック信号が第1の電位である期間に導通して前記第1のスイッチ手段によって発生するノイズを打ち消すための第2のスイッチ手段、

その一方電極が前記第1のスイッチ手段の他方端子に接続されるとともに前記D/Aコンバータで生成されたアナログ電位を受け、前記第1のスイッチ手段によってサンプリングされたアナログ電位から前記D/Aコンバータで生成されたアナログ電位を減算するための第1のキャパシタ、

その一方電極が前記第2のスイッチ手段の他方端子に接続されるとともに前記D/Aコンバータから出力された前記第1の基準電位を受ける第2のキャパシタ、

その一方端子が第2の基準電位を受け、その他方端子が前記第1および第2のキャパシタの他方電極に接続され、前記クロック信号が第1の電位である期間に導通して前記第1および第2のキャパシタを充電させる第3のスイッチ手段、

その第1および第2の入力ノードがそれぞれ前記第1および第2のキャパシタの他方電極に接続された第1の差動増幅器、

前記第1の差動増幅器の前記クロック信号が第2の電位である期間の出力電圧から前記クロック信号が第2の電位である期間の出力電圧を減算する第1の減算手段、

前記第1の減算手段の減算結果を第2のデジタルコードに変換する第2のA/Dコンバータ、および前記第1および第2のA/Dコンバータで生成された第1および第

2のデジタルコードに基づいて前記所定ビット数のデジタルコードを生成する論理回路を備える、パイプライン型A/Dコンバータ。

【請求項6】 前記第1のA/Dコンバータは、それぞれが複数のデジタルコードに対応する複数の比較用基準電位と、それぞれが前記複数のデジタルコードに対応する複数の減算用基準電位とを生成する基準電位発生手段、

それぞれが、前記複数の比較用基準電位に対応して設けられ、前記クロック信号が第1の電位である期間に前記外部から与えられたアナログ電位をサンプリングし、前記クロック信号が第2の電位である期間に該サンプリングしたアナログ電位と対応の比較用基準電位とを比較する複数の電位比較手段、および前記複数の電位比較手段の比較結果に基づいて前記複数のデジタルコードのうちのいずれかのデジタルコードを選択し、該選択したデジタルコードを前記第1のデジタルコードとして出力する第1のエンコーダを含み、

前記D/Aコンバータは、前記基準電位発生手段で生成された各減算用基準電位に対応して設けられ、その一方端子が対応の減算用基準電位を受け、その他方端子が前記第1のキャパシタの一方電極に接続され、前記第1のエンコーダによって対応のデジタルコードが選択されたことに応じて導通する第4のスイッチ手段、および前記第4のスイッチ手段に対応して設けられ、その一方端子が前記第1の基準電位を受け、その他方端子が前記第2のキャパシタの一方電極に接続され、前記第4のスイッチ手段と同時に導通して前記第4のスイッチ手段によって発生するノイズを打ち消すための第5のスイッチ手段を含み、

前記第2のA/Dコンバータは、

それぞれが複数のデジタルコードに対応する複数の比較用基準電圧を生成する基準電圧発生手段、

それぞれが、前記複数の比較用基準電圧に対応して設けられ、対応の比較用基準電圧と前記第1の減算手段の減算結果とを比較する複数の電圧比較手段、および前記複数の電圧比較手段の比較結果に基づいて前記複数のデジタルコードのうちのいずれかのデジタルコードを選択し、該選択したデジタルコードを前記第2のデジタルコードとして出力する第2のエンコーダを含む、請求項5に記載のパイプライン型A/Dコンバータ。

【請求項7】 各電位比較手段は、

前記比較結果に応じた互いに相補な信号が出力される第1および第2の出力ノード、

それぞれが前記第1および第2の出力ノードに所定の電流を供給する第1および第2の電流源、

その第1の電極が前記第1の出力ノードに接続され、その入力電極に前記外部から与えられたアナログ電位が与えられる第1の導電形式の第1のトランジスタ、

その第1の電極が前記第2の出力ノードに接続され、そ

の入力電極に対応の比較用基準電位が与えられる第 1 の導電形式の第 2 のトランジスタ、その第 1 の電極が前記第 1 の出力ノードに接続され、その入力電極が前記第 2 の出力ノードに接続される第 2 の導電形式の第 3 のトランジスタ、その第 1 の電極が前記第 2 の出力ノードに接続され、その入力電極が前記第 1 の出力ノードに接続される第 2 の導電形式の第 4 のトランジスタ、前記クロック信号が第 1 の電位である期間は前記第 1 および第 2 のトランジスタの第 2 の電極を第 3 の基準電位のラインに接続し、前記クロック信号が第 2 の電位である期間は前記第 3 および第 4 のトランジスタの第 2 の電極を前記第 3 の基準電位のラインに接続する切換手段を含む、請求項 6 に記載のパイプライン型 A/D コンバータ。

【請求項 8】 さらに、その一方端子が前記基準電位発生手段で生成されたある比較用基準電位を受け、前記クロック信号が第 2 の電位である期間に導通して前記ある比較用基準電位をサンプリングするための第 6 のスイッチ手段、

その一方電極が前記ある比較用基準電位よりも 1 LSB に相当する電圧だけ低い比較用基準電位を受け、前記クロック信号が第 2 の電位である期間に導通してその比較用基準電位をサンプリングするための第 7 のスイッチ手段、

各々の一方電極がそれぞれ前記第 6 および第 7 のスイッチ手段の他方端子に接続される第 3 および第 4 のキャパシタ、

その一方端子が前記第 2 の基準電位を受け、その他方端子が前記第 3 および第 4 のキャパシタの他方電極に接続され、前記クロック信号が第 2 の電位である期間に導通して前記第 3 および第 4 のキャパシタを充電させる第 8 のスイッチ手段、

その一方端子が前記第 1 の基準電位を受け、その他方端子が前記第 3 および第 4 のキャパシタの一方電極に接続され、前記クロック信号が第 1 の電位である期間に導通する第 9 のスイッチ手段、およびその第 1 および第 2 の入力ノードが前記第 3 および第 4 のキャパシタの他方電極に接続された第 2 の差動増幅器を備え、

前記基準電圧発生手段は、前記第 2 の差動増幅器の出力電圧を分圧して前記複数の比較用基準電圧を生成し、前記第 2 の A/D コンバータは、さらに、前記基準電圧発生手段で生成された各比較用基準電圧に対応して設けられ、対応の比較用基準電圧の前記クロック信号が第 1 の電位である期間の値から前記クロック信号が第 2 の電位である期間の値を減算し減算結果を出力する第 2 の減算手段を含み、

前記第 2 の電圧比較手段は、前記第 1 の減算手段の出力電圧と対応の第 2 の減算手段の出力電圧とを比較する、請求項 6 または 7 に記載のパイプライン型 A/D コンバ

ータ。

【請求項 9】 前記第 1 の減算手段は、

各々の一方電極間に前記第 1 の差動増幅器の出力電圧を受ける第 5 および第 6 のキャパシタ、およびその一方端子が前記第 2 の基準電位を受け、その他方端子が前記第 5 および第 6 のキャパシタの他方端子に接続され、前記クロック信号が第 1 の電位である期間に導通して前記第 5 および第 6 のキャパシタを充電させる第 10 のスイッチ手段を含み、

前記第 2 の減算手段は、各々の一方電極間に対応の比較用基準電圧を受け、各々の他方電極がそれぞれ前記第 6 および第 5 のキャパシタの他方電極に接続される第 7 および第 8 のキャパシタを含み、

前記第 2 の電圧比較手段は、前記クロック信号が第 2 の電位である期間に前記第 5 および第 6 のキャパシタの他方電極の電位を比較する、請求項 8 に記載のパイプライン型 A/D コンバータ。

【請求項 10】 サンプル期間に外部電圧をサンプリングし、比較期間に該サンプリングした外部電圧と予め定められた基準電圧とを比較し比較結果を出力する電圧比較器であって、

前記比較結果に応じた互いに相補な信号が出力される第 1 および第 2 の出力端子、

それぞれが前記第 1 および第 2 の出力端子に所定の電流を供給する第 1 および第 2 の定電流源、

その第 1 の電極が前記第 1 の出力端子に接続され、前記外部電圧が入力される第 1 の導電形式の第 1 のトランジスタ、

その第 1 の電極が前記第 2 の出力端子に接続され、前記基準電圧が入力される第 1 の導電形式の第 2 のトランジスタ、

その第 1 の電極が前記第 1 の出力端子に接続され、その入力電極が前記第 2 の出力端子に接続される第 2 の導電形式の第 3 のトランジスタ、

その第 1 の電極が前記第 2 の出力端子に接続され、その入力電極が前記第 1 の出力端子に接続される第 2 の導電形式の第 4 のトランジスタ、および前記サンプル期間は前記第 1 および第 2 のトランジスタの第 2 の電極を基準電位のラインに接続し、前記比較期間は前記第 3 および第 4 のトランジスタの第 2 の電極を前記基準電位のラインに接続する切換手段を備える、電圧比較器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は電圧比較器およびそれを用いたパイプライン型 A/D コンバータに関し、特に、サンプル期間に外部電圧をサンプリングし、比較期間にそのサンプリングした外部電圧と予め定められた基準電圧とを比較し比較結果を出力する電圧比較器、およびクロック信号に同期して動作し、外部から与えられたアナログ電圧を所定ビット数のデジタルコードに変換

するパイプライン型A/Dコンバータに関する。

#### 【0002】

【従来の技術】図21は従来のパイプライン型A/Dコンバータの構成を示すブロック図である。図21を参照して、このパイプライン型A/Dコンバータは、サンプル/ホールド回路80、n段のA/Dコンバータブロック81、1~81、n、および論理回路85を備える。A/Dコンバータブロック81、1~81、n-1の各々は、それぞれA/Dコンバータ82、1~82、n-1、D/Aコンバータ83、1~83、n-1および減算回路84、1~84、n-1を含む。A/Dコンバータブロック81、nはA/Dコンバータ82、nを含む。

【0003】サンプル/ホールド回路80は、入力されたアナログ電位信号VS1を一定の周期ごとにサンプリングし、一定期間ホールドする。ホールドされたアナログ電位VS1はA/Dコンバータブロック81、1に入力され、そのブロック81、1の減算回路84、1にサンプリングされる。また、同じアナログ電位VS1はブロック81、1のA/Dコンバータ82、1に入力され、ここでデジタルコードに変換される。デジタルコードはD/Aコンバータ83、1によってアナログ電位に変換される。減算回路84、1は、そのアナログ電位を先にサンプリングしたアナログ電位から減算する。A/Dコンバータ82、1の分解能をm1ビットとすると、その減算結果は $2^{m1}$ 倍され、次段のA/Dコンバータブロック81、2へ入力される。

【0004】A/Dコンバータブロック81、2でもブロック81、1と同様に、アナログ電位は減算回路84、2にサンプリングされるとともに、A/Dコンバータ82、2によってA/D変換され、D/Aコンバータ83、2によってD/A変換される。減算回路84、2は、サンプリングしたアナログ電位からD/Aコンバータ82、2の出力電位を減算する。A/Dコンバータ82、2の分解能をm2とすると、減算結果は $2^{m2}$ 倍されて次段のA/Dコンバータブロック81、3に送られる。

【0005】以上の動作はn-1段目のA/Dコンバータブロック81、n-1まで繰返され、最終段のA/Dコンバータブロック81、nでは前段のA/Dコンバータブロック81、n-1の出力電位がA/Dコンバータ82、nでデジタルコードに変換される。各ブロック81、1~81、nで生成されたデジタルコードは論理回路85に入力される。論理回路85は、これらにデジタル加算・補正などの処理を施して1つのデジタルコードD0を生成し出力する。

【0006】図22は、図21で示したA/Dコンバータ82、1に含まれる電位比較器の構成を示す回路図である。図22を参照して、この電位比較器はPチャネルMOSトランジスタ92~95およびNチャネルMOSトランジスタ96~101を含む。MOSトランジスタ

92、93、97とMOSトランジスタ94、95、98は、それぞれ電源電位Vccのライン（以下、電源ラインと称す）90と接地電位GNDのライン（以下、接地ラインと称す）91との間に直列接続される。MOSトランジスタ97のゲートはMOSトランジスタ95のドレイン（出力ノードN95）に接続され、MOSトランジスタ98のゲートはMOSトランジスタ93のドレイン（出力ノードN93）に接続される。

【0007】NチャネルMOSトランジスタ96は、ノードN93とN95の間に接続され、そのゲートは信号/Lを受ける。NチャネルMOSトランジスタ99、101は、PチャネルMOSトランジスタ92のドレイン（ノードN92）と接地ライン91との間に直列接続される。NチャネルMOSトランジスタ100は、ノードN94とMOSトランジスタ99のソース（ノードN99）との間に接続される。MOSトランジスタ99、100のゲートは、それぞれ入力電位VS1および基準電位Vrを受ける。MOSトランジスタ92、94のゲートは、MOSトランジスタ93、95のゲートおよびMOSトランジスタ101のゲートは、それぞれ定電位Vg2、Vg3、Vg4を受ける。MOSトランジスタ92、94は定電流源として動作し、MOSトランジスタ93、95、101は飽和状態で動作する。

【0008】この電位比較器はホールドされたアナログ電位VS1と基準電位Vrを比較し、その比較結果に基づいて出力電位VO1、VO2を出力ノードN93、N95に出力するものである。VS1とVrの差はMOSトランジスタ99と100のドレイン電流の差に変換される。PチャネルMOSトランジスタ93、95を用いることにより、ノードN92、N94の電位の振幅が小さくなり、より高速の動作が可能になっている。PチャネルMOSトランジスタ93、95のドレイン電流はPチャネルMOSトランジスタ92、95のドレイン電流からNチャネルMOSトランジスタ99、100のドレイン電流を減じたものになる。

【0009】NチャネルMOSトランジスタ97、98は負荷として機能し、出力電位VO1、VO2を決定する。ただし、信号/Lが「H」レベルのときには出力ノードN93とN95は短絡されており2つの出力電位VO1とVO2は等しい。信号/Lが「L」レベルになると、出力ノードN93とN95が切り離され、VS1とVrの電位差によって出力電圧VO1とVO2の一方が他方よりも高くなる。このとき出力電位VO2は、NチャネルMOSトランジスタ97のゲートに入力され、出力電位VO1はNチャネルMOSトランジスタ98のゲートに入力される。これにより、VO1とVO2のうちの高い方の電位は一層高くなり、VO1とVO2のうちの低い方の電位は一層低くなる。

【0010】A/Dコンバータ82、1には、各々が異なる基準電位Vrを受ける複数の電位比較器が設けられ

ている。A/Dコンバータ82. 1は、それらの電位比較器の出力電位VO1, VO2に基づいてデジタルコードを生成する。他のA/Dコンバータ82. 2~82. nも同様である。

【0011】また図23は、図21で示した減算回路84. 1の構成を示す回路ブロック図である。図23を参照して、この減算回路84. 1は、スイッチS91. 1, S92. 1, S93. 1; …; S91N, S92N, S93N、キャパシタ102. 1~102. N、スイッチS94、および増幅器103を含む。ホールドされたアナログ電位VS1は、スイッチS93. 1~S93Nを介してキャパシタ102. 1~102Nの一方電極に入力される。所定の電位VDA, VDABは、それぞれスイッチS92. 1~S92. N, S91. 1~S91. Nを介してキャパシタ102. 1~102. Nの一方電極に入力される。キャパシタ102. 1~102. Nの他方電極はともに増幅器103の入力ノード103aに接続される。増幅器103の入力ノード103aにはスイッチS94を介してバイアス電位Vbが与えられる。増幅器103の出力VS2は次段のA/Dコン

バータブロック81. 2に与えられる。

【0012】次に、この減算回路84. 1の動作について説明する。減算回路84. 1はサンプル期間と減算期間の2つの期間で減算を実行する。サンプル期間ではスイッチS93. 1~S93. N, S94が導通状態、スイッチS91. 1~S91. N, S92. 1~S92. Nが非導通状態になり、キャパシタ102. 1~102. Nはバイアス電位Vbとアナログ電位VS1により充電される。このとき増幅器103の入力ノード103aには、 $Q = N \times C \times (Vb - VS1)$ の電荷が蓄えら

れる。

【0013】一方、次の減算期間ではスイッチS93. 1~S93. N, S94が非導通状態になり、スイッチS91. 1, S92. 1; …; S91. N, S92. Nの各々のうちのいずれか一方のスイッチが導通状態になる。仮にm個のスイッチS92が導通状態になりN-m個のスイッチS91が非導通状態になったものとし、増幅器103の入力ノード103aの電位をVXとするとキャパシタ102. 1~102. Nに蓄えられる電荷は、

$$Q = m \times C \times (VX - VDA) + (N - m) \times C \times (VX - VDAB)$$

となる。この2つの期間を通して電荷量に変化はないので、

$$N \times C \times (Vb - VS1) = m \times C \times (VX - VDA) + (N - m) \times C \times (VX - VDAB)$$

が成り立ち、これより、

$$VX = Vb - (VS1 - (m \times VDA + (N - m) \times VDAB) / N)$$

となる。これにより、減算電位を  $(m \times VDA + (N -$

$m) \times VDAB) / N$ としたときの減算が実行される。減算電位は減算期間に導通状態となるスイッチS91とS92の比率 $m / (N - m)$ と所定の電圧VDA, VDABとで決定される。電位VXは増幅器103によって増幅され次段のA/Dコンバータブロック81. 2へ出力される。他の減算回路84. 2~84. n-1の構成も同様である。

#### 【0014】

【発明が解決しようとする課題】このように従来のパイプライン型A/Dコンバータでは、ある規定の瞬間の電圧を取扱っていたため、特に減算回路84. 1~84. n-1の増幅器のオフセットから生じる誤差が発生するのを避けられなかった。

【0015】また、従来の電圧比較器は入力信号と比較用の基準電圧を増幅していたため増幅に時間がかかり判別が遅くなっていた。

【0016】それゆえに、この発明の第1の目的は、高精度なパイプライン型A/Dコンバータを提供することである。

【0017】また、この発明の第2の目的は、判別時間が短い電圧比較器を提供することである。

#### 【0018】

【課題を解決するための手段】この発明の第1のパイプライン型A/Dコンバータは、クロック信号に同期して動作し、外部から与えられたアナログ電圧を所定ビット数のデジタルコードに変換するパイプライン型A/Dコンバータであって、第1のA/Dコンバータ、D/Aコンバータ、第2のサンプル/ホールド手段、第1の減算手段、第2のA/Dコンバータ、および論理回路を備える。第1のA/Dコンバータは、クロック信号が第1の電位である期間にアナログ電圧をサンプリングし、クロック信号が第2の電位である期間にそのサンプリングしたアナログ電圧を第1のデジタルコードに変換する。D/Aコンバータは、第1のA/Dコンバータで生成された第1のデジタルコードをアナログ電圧に変換しそのアナログ電圧をクロック信号が第2の電位である期間に出力する。第1のサンプル/ホールド手段は、クロック信号が第1の電位である期間に外部から与えられたアナログ電圧をサンプリングするとともにオフセット電圧を出力し、クロック信号が第2の電位である期間にそのサンプリングしたアナログ電圧からD/Aコンバータで生成されたアナログ電圧を減算し減算結果を出力する。第1の減算手段は、第1のサンプル/ホールド手段のクロック信号が第2の電位である期間の出力電圧からクロック信号が第1の電位である期間の出力電圧を減算する。第2のA/Dコンバータは、減算手段の減算結果を第2のデジタルコードに変換する。論理回路は、第1および第2のA/Dコンバータで生成された第1および第2のデジタルコードに基づいて所定ビット数のデジタルコードを生成する。



【0019】また好ましくは、第1のA/Dコンバータは、第1の電圧発生手段、複数の第1の電圧比較手段、および第1のエンコーダを含み、D/Aコンバータは第1のスイッチ手段を含み、第2のA/Dコンバータは、第2の電圧発生手段、複数の第2の電圧比較手段、および第2のエンコーダを含む。第1の電圧発生手段は、それぞれが複数のデジタルコードに対応する複数の第1の比較用基準電圧と、それぞれが複数のデジタルコードに対応する複数の減算用基準電圧とを生成する。複数の第1の電圧比較手段は、それぞれ複数の第1の比較用基準電圧に対応して設けられる。各第1の電圧比較手段は、クロック信号が第1の電位である期間にアナログ電圧をサンプリングし、クロック信号が第2の電位である期間にそのサンプリングしたアナログ電圧と対応の第1の比較用基準電圧とを比較する。第1のエンコーダは、複数の第1の電圧比較手段の比較結果に基づいて複数のデジタルコードのうちのいずれかのデジタルコードを選択し、その選択したデジタルコードを第1のデジタルコードとして出力する。第1のスイッチ手段は、第1の電圧発生手段で生成された各減算用基準電圧に対応して設けられ、その一方端子は対応の減算用基準電圧を受け、その他方端子は第1のサンプル/ホールド手段に接続され、第1のエンコーダによって対応のデジタルコードが選択されたことに応じて導通する。第2の電圧発生手段は、それぞれが複数のデジタルコードに対応する複数の第2の比較用基準電圧を生成する。複数の第2の電圧比較手段は、それぞれ複数の第2の比較用基準電圧に対応して設けられる。各第2の電圧比較手段は、対応の第2の比較用基準電圧と第1の減算手段の減算結果とを比較する。第2のエンコーダは、複数の第2の電圧比較手段の比較結果に基づいて複数のデジタルコードのうちのいずれかのデジタルコードを選択し、その選択したデジタルコードを第2のデジタルコードとして出力する。

【0020】また好ましくは、各第1の電圧比較手段は、第1および第2の出力ノード、第1および第2の定電流源、第1の導電形式の第1および第2のトランジスタ、第2の導電形式の第3および第4のトランジスタ、および切換手段を含む。第1および第2の出力ノードには、比較結果に応じた互いに相補な信号が出力される。第1および第2の定電流源は、それぞれ第1および第2の出力ノードに所定の電流を供給する。第1のトランジスタにはアナログ電圧が入力され、その第1の電極は第1の出力ノードに接続される。第2のトランジスタには対応の第1の比較用基準電圧が入力され、その第1の電極は第2の出力ノードに接続される。第3のトランジスタの第1の電極は第1の出力ノードに接続され、その入力電極は第2の出力ノードに接続される。第4のトランジスタの第1の電極は第2の出力ノードに接続され、その入力電極は第1の出力ノードに接続される。切換手段は、クロック信号が第1の電位である期間は第1および

第2のトランジスタの第2の電極を基準電位のラインに接続し、クロック信号が第2の電位である期間は第3および第4のトランジスタの第2の電極を基準電位のラインに接続する。

【0021】また好ましくは、第1の電圧発生手段は、さらに第1のA/Dコンバータの1LSBに相当する基準電圧を生成し、パイプライン型A/Dコンバータは、さらに第2のサンプル/ホールド手段を備え、第2の電圧発生手段は、第2のサンプル/ホールド手段の出力電圧を分圧して複数の第2の比較用基準電圧を生成し、第2のA/Dコンバータは、さらに第2の減算手段を含み、第2の電圧比較手段は、第1の減算手段の出力電圧と対応の第2の減算手段の出力電圧とを比較する。第2のサンプル/ホールド手段は、クロック信号が第2の電位である期間に基準電圧をサンプリングするとともにオフセット電圧を出力し、クロック信号が第1の電位である期間にそのサンプリングした基準電圧を出力する。第2の減算手段は、第2電圧発生手段で生成された各第2の比較用基準電圧に対応して設けられ、対応の第2の比較用基準電圧のクロック信号が第1の電位である期間の値からクロック信号が第2の電位である期間の値を減算し減算結果を出力する。

【0022】また、この発明の第2のパイプライン型A/Dコンバータは、クロック信号に同期して動作し、外部から与えられたアナログ電位を所定ビット数のデジタルコードに変換するパイプライン型A/Dコンバータであって、第1のA/Dコンバータ、D/Aコンバータ、第1のスイッチ手段、第2のスイッチ手段、第1のキャパシタ、第2のキャパシタ、第3のスイッチ手段、第1の差動増幅器、第1の減算手段、第2のA/Dコンバータ、および論理回路を備える。第1のA/Dコンバータは、クロック信号が第1の電位である期間にアナログ電位をサンプリングし、クロック信号が第2の電位である期間にそのサンプリングしたアナログ電位を第1のデジタルコードに変換する。D/Aコンバータは、第1のA/Dコンバータで生成された第1のデジタルコードをアナログ電位に変換しそのアナログ電位と第1の基準電位とをクロック信号が第2の電位である期間に出力する。第1のスイッチ手段は、その一方端子が外部から与えられたアナログ電位を受け、クロック信号が第1の電位である期間に導通してそのアナログ電位をサンプリングする。第2のスイッチ手段は、その一方端子が第1の基準電位を受け、クロック信号が第1の電位である期間に導通して第1のスイッチ手段によって発生するノイズを打ち消す。第1のキャパシタは、その一方電極が第1のスイッチ手段の他方端子に接続されるとともにD/Aコンバータで生成されたアナログ電位を受け、第1のスイッチ手段によってサンプリングされたアナログ電位からD/Aコンバータで生成されたアナログ電位を減算する。第2のキャパシタの一方電極は、第2のスイッチ手段の

他方端子に接続されるとともにD/Aコンバータから出力された第1の基準電位を受ける。第3のスイッチ手段は、その一方端子が第2の基準電位を受け、その他方端子が第1および第2のキャパシタの他方電極に接続され、クロック信号が第1の電位である期間に導通して第1および第2のキャパシタを充電させる。第1の差動増幅器の第1および第2の入力ノードは、それぞれ第1および第2のキャパシタの他方電極に接続される。第1の減算手段は、第1の差動増幅器のクロック信号が第2の電位である期間の出力電圧からクロック信号が第2の電位である期間の出力電圧を減算する。第2のA/Dコンバータは、第1の減算手段の減算結果を第2のデジタルコードに変換する。論理回路は、第1および第2のA/Dコンバータで生成された第1および第2のデジタルコードに基づいて所定ビット数のデジタルコードを生成する。

【0023】また好ましくは、第1のA/Dコンバータは、基準電位発生手段、複数の電位比較手段、および第1のエンコーダを含み、A/Dコンバータは、第4のスイッチ手段および第5のスイッチ手段を含み、第2のA/Dコンバータは、基準電圧発生手段、複数の電圧比較手段、および第2のエンコーダを含む。基準電位発生手段は、それぞれが複数のデジタルコードに対応する複数の比較用基準電位と、それぞれが複数のデジタルコードに対応する複数の減算用基準電位とを生成する。複数の電位比較手段は、それぞれ複数の比較用基準電位に対応して設けられる。各電位比較手段は、クロック信号が第1の電位である期間に外部から与えられたアナログ電位をサンプリングし、クロック信号が第2の電位である期間にそのサンプリングしたアナログ電位と対応の比較用基準電位とを比較する。第1のエンコーダは、複数の電位比較手段の比較結果に基づいて複数のデジタルコードのうちのいずれかのデジタルコードを選択しその選択したデジタルコードを第1のデジタルコードとして出力する。第4のスイッチ手段は、基準電位発生手段で生成された各減算用基準電位に対応して設けられ、その一方端子が対応の減算用基準電位を受け、その他方端子が第1のキャパシタの一方電極に接続され、第1のエンコーダによって対応のデジタルコードが選択されたことに応じて導通する。第5のスイッチ手段は、第4のスイッチ手段に対応して設けられ、その一方端子が第1の基準電位を受け、その他方端子が第2のキャパシタの一方電極に接続され、第4のスイッチ手段と同時に導通して第4のスイッチ手段によって発生するノイズを打ち消す。基準電圧発生手段は、それぞれが複数のデジタルコードに対応する複数の比較用基準電圧を生成する。複数の電圧比較手段は、それぞれ複数の比較用基準電圧に対応して設けられる。各電圧比較手段は、対応の比較用基準電圧と第1の減算手段の減算結果とを比較する。第2のエンコーダは、複数の電圧比較手段の比較結果に基づいて複数

のデジタルコードのうちのいずれかのデジタルコードを選択し、その選択したデジタルコードを第2のデジタルコードとして出力する。

【0024】また好ましくは、各電位比較手段は、第1および第2の出力ノード、第1および第2の定電流源、第1の導電形式の第1および第2のトランジスタ、第2の導電形式の第3および第4のトランジスタ、および切換手段を含む。第1および第2の出力ノードには、比較結果に応じた互いに相補な信号が出力される。第1および第2の定電流源は、それぞれ第1および第2の出力ノードに所定の電流を供給する。第1のトランジスタの第1の電極は第1の出力ノードに接続され、その入力電極は外部から与えられたアナログ電位を受ける。第2のトランジスタの第1の電極は第2の出力ノードに接続され、その入力電極は対応の比較用基準電位を受ける。第3のトランジスタの第1の電極は第1の出力ノードに接続され、その入力電極は第2の出力ノードに接続される。第4のトランジスタの第1の電極は第2の出力ノードに接続され、その入力電極は第1の出力ノードに接続される。切換手段は、クロック信号が第1の電位である期間は第1および第2のトランジスタの第2の電極を第3の基準電位のラインに接続し、クロック信号が第2の電位である期間は第3および第4のトランジスタの第2の電極を第3の基準電位のラインに接続する。

【0025】また好ましくは、さらに、第6～第9のスイッチ手段、第3および第4のキャパシタ、および第2の差動増幅器を備え、基準電圧発生手段は、第2の差動増幅器の出力電圧を分圧して複数の比較用基準電圧を生成し、第2のA/Dコンバータは、さらに第2の減算手段を含み、第2の電圧比較手段は、第1の減算手段の出力電圧と対応の第2の減算手段の出力電圧とを比較する。第6のスイッチ手段は、その一方端子が基準電位発生手段で生成されたある比較用基準電位を受け、クロック信号が第2の電位である期間に導通してある比較用基準電位をサンプリングする。第7のスイッチ手段は、その一方電極がある比較用基準電位よりも1LSBに相当する電圧だけ低い比較用基準電位を受け、クロック信号が第2の電位である期間に導通してその比較用基準電位をサンプリングする。第3および第4のキャパシタの一方電極は、それぞれ第6および第7のスイッチ手段の他方端子に接続される。第8のスイッチ手段は、その一方端子が第2の基準電位を受け、その他方端子が第3および第4のキャパシタの他方電極に接続され、クロック信号が第2の電位である期間に導通して第3および第4のキャパシタを充電させる。第9のスイッチ手段は、その一方端子が第1の基準電位を受け、その他方端子が第3および第4のキャパシタの一方電極に接続され、クロック信号が第1の電位である期間に導通する。第2の差動増幅器の第1および第2の入力ノードは、それぞれ第3および第4のキャパシタの他方電極に接続される。第2

の減算手段は、基準電圧発生手段で生成された各比較用基準電圧に対応して設けられ、対応の比較用基準電圧のクロック信号が第1の電位である期間の値からクロック信号が第2の電位である期間の値を減算し減算結果を出力する。

【0026】また、この発明の電圧比較器は、サンプル期間に外部電圧をサンプリングし、比較期間に該サンプリングした外部電圧を予め定められた基準電圧とを比較し比較結果を出力する電圧比較器であって、第1および第2の出力端子、第1および第2の定電流源、第1の導電形式の第1および第2のトランジスタ、第2の導電形式の第3および第4のトランジスタ、および切手手段を備える。第1および第2の出力端子には、比較結果に応じた互いに相補な信号が出力される。第1および第2の定電流源は、それぞれ第1および第2の出力端子に所定の電流を供給する。第1のトランジスタには外部電圧が入力され、その第1の電極は第1の出力端子に接続される。第2のトランジスタには基準電圧が入力され、その第1の電極が第2の出力端子に接続される。第3のトランジスタの第1の電極は第1の出力端子に接続され、その入力電極は第2の出力端子に接続される。第4のトランジスタの第1の電極は第2の出力端子に接続され、その入力電極は第1の出力端子に接続される。切手手段は、サンプル期間は第1および第2のトランジスタの第2の電極を基準電位のラインに接続し、比較期間は第3および第4のトランジスタの第2の電極を基準電位のラインに接続する。

#### 【0027】

【発明の実施の形態】図1は、この発明の一実施の形態によるパイプライン型A/Dコンバータの構成を示すブロック図である。図1を参照して、このパイプライン型A/Dコンバータは、4段のA/Dコンバータブロック1〜4および論理回路5を備える。

【0028】初段のA/Dコンバータブロック1は、アナログ電位信号VS1、基準電位の最大値VRTおよび最小値VRBを受け、アナログ電位信号VS1のサンプル値を4ビットのデジタルコードD2に変換して論理回路5に出力する。また、A/Dコンバータブロック1は、信号VS2、VS2Bおよび基準電圧生成のための信号VR2、VR2Bを次段のA/Dコンバータブロック2に出力する。

【0029】2段目のA/Dコンバータブロック2は、前段のブロック1から入力された信号VS2、VS2Bを3ビットのデジタルコードD3に変換して論理回路5に出力するとともに、信号VS3、VS3Bおよび基準電圧生成のための信号VR3、VR3Bを次段のA/Dコンバータブロック3に出力する。

【0030】3段目のA/Dコンバータブロック3は、前段のブロック2から入力された信号VS3、VS3Bを3ビットのデジタルコードD4に変換して論理回路5

に出力するとともに、信号VS4、VS4Bおよび基準電圧生成のための信号VR4、VR4Bを次段のA/Dコンバータブロック4に出力する。

【0031】最終段のA/Dコンバータブロック4は、前段のブロック3から入力された信号VS4、VS4Bを3ビットのデジタルコードD5に変換して論理回路5に出力する。

【0032】論理回路5は、入力されたデジタルコードD2〜D5に基づいて10ビットのデジタルコードD0を生成し出力する。

【0033】図2は、図1に示した初段のA/Dコンバータ1の構成を示す回路ブロック図である。図2を参照して、A/Dコンバータ1は、基準電位生成回路11、4ビットフラッシュ型A/Dコンバータ12、A/Dコンバータ13、サンプル/ホールド・減算回路（以下、SH. SBTと称す）14、および次段のA/Dコンバータブロック2の基準電圧を生成するためのサンプル/ホールド回路（以下、SH. Rと称す）15を備える。

【0034】基準電位生成回路11は、図3に示すように、低電位側端子11aと高電位側端子11bとの間に直列接続された32個の抵抗素子R1〜R32を含む。32個の抵抗素子R1〜R32は同じ抵抗値を有する。低電位側端子11aには基準電位の最小値VRB（VR0）が印加され、高電位側端子11bには基準電位の最大値VRT（VR32）が印加される。抵抗素子R1〜R31の各々の高電位側のノードからそれぞれ基準電位VR1〜VR31が出力される。基準電位VR16は、基準電位VR32とVR0の中間電位VRMとなる。

【0035】基準電位VR3、VR5、VR7、…、VR27、VR29はA/Dコンバータ12に入力されて、それぞれ1.5、2.5、3.5、…、13.5、14、5LSBに対応した比較用の基準電位となる。基準電位VR2、VR4、VR6、…、VR28、VR30はD/Aコンバータ13に入力されて、それぞれ1、2、3、…、14、15LSBに対応した減算用の基準電位となる。基準電位VRMはSH. SBT14に入力される。基準電位VR15、VRM、VR17はSH. R15に入力される。

【0036】A/Dコンバータ12は、図4に示すように、14個の電位比較器6.3、6.5、…、6.29および4ビットエンコーダ16を含む。基準電位VR3、VR5、…、VR29は、それぞれ電位比較器6.3、6.5、…、6.29の比較用の基準電位となる。電位比較器6.3、6.5、…、6.29は、それぞれ基準電位VR3、VR5、…、VR29とアナログ電位VS1とを比較し、比較結果に応じた信号をエンコーダ16に出力する。エンコーダ16は、電位比較器6.3、6.5、…、6.29から与えられた信号に基づいて4ビットのデジタルコードD2を生成し図1の論理回路5に出力する。

【0037】電位比較器6. 3は、図5に示すように、PチャネルMOSトランジスタ21～24、NチャネルMOSトランジスタ25、26およびスイッチS0、S1、S1'を含む。スイッチS0、S1、S1'の各々は、たとえばMOSトランジスタで構成される。PチャネルMOSトランジスタ21、22およびスイッチS1と、PチャネルMOSトランジスタ23、24およびスイッチS1'は、それぞれ電源ライン90と接地ライン91の間に直列接続される。

【0038】NチャネルMOSトランジスタ25およびスイッチS0はPチャネルMOSトランジスタ21のドレイン（出力ノードN21）と接地ライン91の間に直列接続され、NチャネルMOSトランジスタ25のゲートはPチャネルMOSトランジスタ23のドレイン（出力ノードN23）に接続される。NチャネルMOSトランジスタ26は、ノードN23とNチャネルMOSトランジスタ25のソース（ノードN25）との間に接続され、そのゲートはノードN21に接続される。

【0039】アナログ電位VS1および基準電位Vr3は、それぞれMOSトランジスタ22、24のゲートに与えられる。MOSトランジスタ21、23のゲートには定電位Vg1が与えられる。MOSトランジスタ21、23の各々は定電流源として動作する。図6に示すように、比較期間はスイッチS1、S1'が導通しスイッチS0が非導通になり、ラッチ期間はスイッチS1、S1'が非導通になりスイッチS0が導通する。

【0040】比較期間ではスイッチS1、S1'が導通状態にあり、PチャネルMOSトランジスタ21～24はソースフォロア回路を構成する。入力電位VS1および比較用基準電位Vr3に対応する電位VO1、VO2が出力ノードN21、N23に出力される。ソースフォロア回路の利得は1に近い1以下の数値をとる。入力電位VS1と出力電位VO1の差、および基準電位Vr3と出力電位VO2の差の変化は小さいので、この電位比較器6. 3の入力容量は小さくなっている。A/Dコンバータブロック1では、VRT-VRB=1Vであり、4ビットのセルを満足すればよいので、電位比較器6. 3に要求される精度は $1V/2^4/2=31.25mV$ である。比較期間では、スイッチS0が非導通状態でありMOSトランジスタ25、26のソースは接地ライン91から切り離されているので、MOSトランジスタ25、26は機能しない。

【0041】ラッチ期間では、スイッチS0が導通状態になりスイッチS1、S1'が非導通状態になる。これによりPチャネルMOSトランジスタ22、24は接地ライン9から切り離されるために機能しなくなる。またPチャネルMOSトランジスタ25、26は接地ライン91に接続され、出力電位VO1とVO2の差を大きくするように働き、出力電位VO1、VO2すなわち比較結果が急速に決定される。ここで決定された比較結果は

エンコーダ16とD/Aコンバータ13へ入力される。他の電位比較器6. 5, 6. 7, …6. 29は、基準電位Vr3の代わりにそれぞれVr5, Vr7, …Vr29が与えられるだけで、電位比較器6. 3と同じ構成を有する。

【0042】D/Aコンバータ13は、図7に示すように、2つの出力ノード13a, 13bとスイッチS2, S4, …, S30; S2', S4', …, S30'を含む。スイッチS2, S4, …, S30; S2', S4', …, S30'の各々は、たとえばMOSトランジスタで構成される。スイッチS2, S4, …, S30の一方電極はそれぞれ基準電位生成回路11からの基準電位Vr2, Vr4, …, Vr30を受け、各々の他方電極はともに出力ノード13aに接続される。スイッチS2', S4', …, S30'の一方電極はともに基準電位VRMを受け、各々の他方電極はともに出力ノード13bに接続される。スイッチS2', S4', …, S30'を設けたのは、VDABにVDAと同じノイズを重量させるためである。

【0043】図4で示した電位比較器6. 3, 6. 5, …, 6. 9の比較結果に応じて、スイッチS2, S4, …, S30のうちのいずれか1つのスイッチ（たとえばS28）と、スイッチS2', S4', …, S30'のうちのスイッチS28に対応するスイッチS28'が導通し、出力ノード13a, 13bの各々に出力電位VDA, VDAB（この場合はVr28, VRM）が出力される。ただし、出力電位VDAは入力電位VS1に応じて以下の規則に従った電位となる。すなわち出力電位VDAは、VS1<Vr3のときVr2、Vr3<VS1<Vr5のときVr4、Vr5<VS1<Vr7のときVr6、Vr7<VS1<Vr9のときVr8、…、Vr27<VS1<Vr29のときVr28、Vr29<VS1のときVr30となる。

【0044】SH. SBT14は、図8に示すように、それぞれが電位VS1, VDA, VDAB, VRMを受ける4つの入力ノード14a～14dと、ともにバイアス電位Vbを受けるバイアス電位入力ノード14e, 14fと、2つの出力ノード14g, 14hと、スイッチS31～S34と、キャパシタ31, 32と、差動増幅器33を含む。スイッチS31～S34の各々は、たとえばMOSトランジスタで構成される。

【0045】キャパシタ31の一方電極はスイッチS31を介して入力ノード14aに接続されるとともに、入力ノード14bに直接接続される。キャパシタ31の他方電極はスイッチS33を介してバイアス電位入力ノード14eに接続されるとともに、差動増幅器33の一方入力ノード33aに接続される。キャパシタ32の一方電極はスイッチS32を介して入力ノード14dに接続されるとともに、入力ノード14cに直接接続される。キャパシタ32の他方電極はスイッチS34を介してバ

イアス電位入力ノード14fに接続されるとともに、差動増幅器33の他方入力ノード33bに接続される。差動増幅器33の2つの出力ノードはそれぞれSH. SBT14の出力ノード14g, 14hとなる。

【0046】SH. SBT14は、入力電位VS1および基準電位VRMをサンプリングし、サンプリングしたVS1, VRMからそれぞれD/Aコンバータ13の出力電位VDA, VDAB (VRM)を減算し、ホールドする。出力電位VS2, VS2Bは、それぞれVS1-VDA, VRM-VDABとなる。

【0047】図9は、SH. SBT14の入力電位VS1と出力電圧 $\Delta VS2 = VS2 - VS2B$ の関係を示す図である。たとえばVS1がVr28に等しい場合は $\Delta VS2 = 0$ となり、VS1がVr28よりも大きくVr29よりも小さい場合は $\Delta VS2$ は正の電圧となり、VS1がVr28よりも小さくVr27よりも大きい場合は負の電圧となり、いずれの場合も図4のエンコーダ16は出力コード13を出力する。 $\Delta VS2$ は次段のA/Dコンバータブロック2に出力される。

【0048】SH. R15は、図10に示すように、それぞれが基準電位Vr17, VRM, VRM, Vr15を受ける4つの入力ノード15a~15dと、ともにバイアス電位Vbを受けるバイアス電位入力ノード15a, 15fと、2つの出力ノード15g, 15hと、6つのスイッチS35~S40と、キャパシタ34, 35と、差動増幅器36とを含む。スイッチS35~S40の各々は、たとえばMOSトランジスタで構成される。

【0049】キャパシタ34の一方電極はスイッチS35を介して入力ノード15aに接続されるとともに、スイッチS36を介して入力ノード15bに接続される。キャパシタ34の他方電極はスイッチS39を介してバイアス電位入力ノード15eに接続されるとともに、差動増幅器36の一方入力ノード36aに入力される。キャパシタ35の一方電極はスイッチS37を介して入力ノード15cに接続されるとともに、スイッチS38を介して入力ノード15dに接続される。キャパシタ35の他方電極はスイッチS41を介してバイアス電圧入力ノード15fに接続されるとともに、差動増幅器36の他方入力ノード36bに入力される。差動増幅器36の2つの出力ノードがそれぞれSH. R15の出力ノード15g, 15hとなる。

【0050】SH. R15は、基準電位Vr17, Vr15をサンプリングし、基準電位VRMでホールドする。出力電位VR2, VR2Bは、それぞれVr17-VRM, Vr15-VRMとなる。SH. R15の出力 $\Delta VR2$ は $VR2 - VR2B = Vr17 - Vr15$ となり、これは初段のA/Dコンバータブロック1の1LSBに相当する。 $\Delta VR2$ は次段のA/Dコンバータブロック2で基準電圧生成のために用いられる。

【0051】図11は、図1に示した2段目のA/Dコ

ンバータブロック2の構成を示す回路ブロック図である。図11を参照して、A/Dコンバータブロック2は、基準電圧生成回路41、3ビットフラッシュ型A/Dコンバータ42、D/Aコンバータ43、SH. SBT44およびSH. R45を備える。

【0052】基準電圧生成回路41は、図12に示すように、低電位側端子41aと高電位側端子41bの間に直列接続された16個の抵抗素子R41~R56を含む。16個の抵抗素子R41~R56は同じ抵抗値を有する。低電位側端子41aおよび高電位側端子41bには、それぞれ前段のA/Dコンバータブロック1のSH. R15の出力電位VR2B (V0), VR2 (V16)が与えられる。抵抗素子R41~R55の各々の高電位側のノードから基準電位V1~V15が出力される。基準電位V0~V16から次式で表わされる基準電圧Vr0'~Vr16'が生成される。

【0053】 $Vr0' = V0 - V16$

$Vr1' = V1 - V15$

$Vr2' = V2 - V14$

$Vr3' = V3 - V13$

$Vr4' = V4 - V12$

$Vr5' = V5 - V11$

$Vr6' = V6 - V10$

$Vr7' = V7 - V9$

$Vr8' = V8 - V8$

$Vr9' = V9 - V7$

$Vr10' = V10 - V6$

$Vr11' = V11 - V5$

$Vr12' = V12 - V4$

$Vr13' = V13 - V3$

$Vr14' = V14 - V2$

$Vr15' = V15 - V1$

$Vr16' = V16 - V0$

基準電圧Vr3', Vr5', ..., Vr13'はA/Dコンバータ42の比較用の基準電圧となる。基準電圧Vr2', Vr4', ..., Vr14'はD/Aコンバータ43の出力電圧となる。基準電位V6, V8, V10はSH. R45に入力される。

【0054】A/Dコンバータ42は、図13に示すように、6つの電圧比較回路7.3, 7.5, ..., 7.13および3ビットのエンコーダ46を含む。基準電圧Vr3', Vr5', ..., Vr13'は、それぞれ電圧比較回路7.3, 7.5, ..., 7.13の比較用の基準電圧となる。電圧比較回路7.3, 7.5, ..., 7.13は、それぞれ基準電圧Vr3', Vr5', ..., Vr13'と前段のA/Dコンバータブロック1のSH. SBT14の出力電圧 $\Delta VS2 (= VS2 - VS2B)$ とを比較し、比較結果に応じた信号をエンコーダ46に出力する。エンコーダ46は、電圧比較回路7.3, 7.5, ..., 7.13から与えられた信号に基づいて3ビッ

トのデジタルコードD3を生成し図1の論理回路5に出力する。

【0055】電圧比較回路7, 3は、図14に示すように、それぞれが電位VS2, V14, V3, VS2Bを受ける4つの入力ノード7a~7dと、ともにバイアス電位Vbが与えられるバイアス電位入力ノード7e, 7fと、出力ノード7gと、4つのキャパシタ51~54と、2つのスイッチS41, S42と、電位比較器55を含む。スイッチS41, S42の各々は、たとえばMOSトランジスタで構成される。

【0056】キャパシタ51, 52は、それぞれ入力ノード7a, 7bと電位比較器55の一方入力ノード55aとの間に接続される。キャパシタ53, 54は、それぞれ入力ノード7c, 7dと電圧比較器55の他方入力ノード55bとの間に接続される。スイッチS41はバイアス電位入力ノード7eと電位比較器55の一方入力ノード55aとの間に接続される。スイッチS42はバイアス電位入力ノード7fと電位比較器55の他方入力ノード55bとの間に接続される。電位比較器55の出力ノードは電圧比較回路7, 3の出力ノード7gとなる。

【0057】キャパシタ51~54を充電した後、電圧比較器55の入力ノード55aと55bの電位を比較すれば、VS2-VS2BとV3-V14の大小関係を判別することができる。判別結果はエンコーダ46とD/Aコンバータ43に入力される。他の電圧比較回路7, 5, 7, 7, ..., 7, 13は、比較電圧Vr3'の代わりにそれぞれVr5', Vr7', ..., Vr13'が与えられるだけで、電圧比較回路7, 3と同じ構成である。

【0058】図15は、図11で示したD/Aコンバータ43およびSH, SBT44の構成を示す回路ブロック図である。図15を参照して、D/Aコンバータ43はスイッチS52, S54, ..., S64; S52', S54', ..., S64'を含む。スイッチS52, S54, ..., S64; S52', S54', ..., S64'の各々は、たとえばMOSトランジスタで構成される。SH, SBT44はキャパシタ8, 1, 8, 2, 8, 4, ..., 8, 14; 8, 1', 8, 2', 8, 4', ..., 8, 14', スイッチS66, S66'および差動増幅器56を含む。スイッチS66, S66'の各々は、たとえばMOSトランジスタで構成される。

【0059】スイッチS52, S54, ..., S64の一方端子はそれぞれ基準電位V2, V4, ..., V14を受け、各々の他方端子はそれぞれキャパシタ8, 2, 8, 4, ..., 8, 14の一方電極に接続される。キャパシタ8, 2, 8, 4, ..., 8, 14の他方電極はともに差動増幅器56の一方入力ノード56aに接続される。

【0060】スイッチS52', S54', ..., S64'の一方端子はそれぞれ基準電位V2, V4, ..., V

14を受け、各々の他方端子はそれぞれキャパシタ8, 2', 8, 4', ..., 8, 14'の一方電極に接続される。キャパシタ8, 2', 8, 4', ..., 8, 14'の他方電極はともに差動増幅器56の他方入力ノード56bに接続される。

【0061】キャパシタ8, 1, 8, 1'の一方電極はそれぞれ前段のA/Dコンバータブロック1のSH, SBT14の出力電位VS2, VS2Bを受け、各々の他方電極はそれぞれ差動増幅器56の入力ノード56a, 56bに接続される。スイッチS66, S66'の一方端子はともにバイアス電位Vbを受け、各々の他方端子はそれぞれ差動増幅器56の入力ノード56a, 56bに接続される。

【0062】図13で示した電圧比較回路7, 3, 7, 5, ..., 7, 13の比較結果に応じて、スイッチS52, S54, ..., S64のうちのいずれか1つのスイッチ（たとえばS54）と、スイッチS52', S54', ..., S64'のうちのスイッチS54に対応するスイッチS62'とが導通し、SH, SBT44に基準電圧Vr12' = V12 - V4が与えられる。SH, SBT44は、前段のA/Dコンバータブロック1のSH, SBT14の出力電圧ΔVS2 = VS2 - VS2Bから基準電圧Vr12' = V12 - V4を減算し、その減算結果ΔVS3 = VS3 - VS3Bを次段のA/Dコンバータブロック3に出力する。

【0063】図16(a)はSH, SBT44の入力電圧ΔVS2と出力コードの関係を示す図、図16(b)はSH, SBT44の入力電圧ΔVS2と出力電圧ΔVS3の関係を示す図である。たとえばΔVS2がVr12'に等しい場合はΔVS3 = 0となり、ΔVS2がVr12'よりも大きくVr13'よりも小さい場合はΔVS3は正の電圧となり、ΔVS2がVr12'よりも小さくVr11'よりも大きい場合はΔVS3は負の電圧となり、いずれの場合も図13のエンコーダ45が出力コード5を出力する。

【0064】図17は、図11で示したSH, R45の構成を示す回路ブロック図である。図17を参照して、SH, R45は、スイッチS72, S74, ..., S84, S86; S72', S74', ..., S84', S86', キャパシタ9, 1, 9, 2, 9, 4, ..., 9, 14; 9, 1', 9, 2', 9, 4', ..., 9, 1'および差動増幅器47を含む。スイッチS72, S74, ..., S84, S86; S72', S74', ..., S84', S86'の各々は、たとえばMOSトランジスタで構成される。

【0065】スイッチS72, S74, ..., S84の一方端子はともに基準電位V8を受け、各々の他方端子はそれぞれキャパシタ9, 2, 9, 4, ..., 9, 14の一方電極に接続される。キャパシタ9, 2, 9, 4, ..., 9, 14の他方電極はともに差動増幅器57の一方入力

ノード57aに接続される。

【0066】スイッチS72', S74', ..., S84'の一方端子はともに基準電位V8を受け、各々の他方端子はそれぞれキャパシタ9.2', 9.4', ..., 9.14'の一方電極に接続される。キャパシタ9.2', 9.4', ..., 9.14'の他方電極はともに差動増幅器57の他方入力ノード57bに接続される。

【0067】キャパシタ9.1, 9.1'の一方電極はそれぞれ基準電位V10, V6を受け、各々の他方電極はそれぞれ差動増幅器57の入力ノード57a, 57bに接続される。スイッチS86, S86'の一方端子はともにバイアス電位Vbを受け、各々の他方端子はそれぞれ差動増幅器57の入力ノード57a, 57bに接続される。

【0068】SH. R45は、基準電位V10とV6をサンプリングし、基準電位V8でホールドする。SH. R45の出力電位VR3, VR3Bは、それぞれV10-V8, V6-V8となる。 $\Delta VR3 = VR3 - VR3B = V10 - V6$ となり、これは2段目のA/Dコンバータブロック2の1LSBに相当する。 $\Delta VR3$ は次段のA/Dコンバータブロック3で基準電圧生成のために用いられる。

【0069】図18は、図1に示した3段目のA/Dコンバータブロック3の構成を示す回路ブロック図である。図18を参照して、A/Dコンバータブロック3は、基準電圧生成回路61、3ビットフラッシュ型A/Dコンバータ62、D/Aコンバータ63、SH. SBT64およびSH. R65を備える。

【0070】A/Dコンバータブロック3は、図11のA/Dコンバータブロック2のVS2, VS2B, VR2, VR2B, VS3, VS3B, D3をそれぞれVS3, VS3B, VR3, VR3B, VS4, VS4B, VR4, VR4B, D4に置換しただけでA/Dコンバータブロック2と同じ構成である。

【0071】図19は、図1に示した最終段のA/Dコンバータブロック4の構成を示す回路ブロック図である。図19を参照して、A/Dコンバータブロック14は基準電圧生成回路71および3ビットフラッシュ型A/Dコンバータ72を備える。基準電圧生成回路71は、A/Dコンバータブロック2, 3の基準電圧生成回路41, 61と同じ構成である。ただし、基準電圧生成回路71は、基準電圧Vr1'', Vr3'', Vr5'', ..., Vr15''をA/Dコンバータ72に出力する。A/Dコンバータ72は、図20に示すように、 $VS4 - VS4B = \Delta VS4 < Vr1''$ のとき-1を、 $Vr1'' < \Delta VS4 < Vr3''$ のとき0を、 $Vr3'' < \Delta VS4 < Vr5''$ のとき1を、...,  $Vr13'' < \Delta VS4 < Vr15''$ のとき6を、 $Vr15'' < \Delta VS4$ のとき7を出力する。

【0072】次に、図1～図20で示したパイプライン

型A/Dコンバータの動作について説明する。パイプライン型A/Dコンバータはクロック信号に同期して交互に切替わる2つのフェーズで動作する。2つのフェーズのうちの一方はクロック信号が「H」レベルである期間に実行され、他方はクロック信号が「L」レベルである期間に実行される。

【0073】(初段のA/Dコンバータブロック1の第1フェーズ) A/Dコンバータブロック1の第1フェーズでは、アナログ電位VS1はA/Dコンバータ12とSH. SBT14に入力される。A/Dコンバータ12では、基準電位Vr3, Vr5, ..., Vr29と入力電位VS1が比較される。

【0074】図5の電位比較器6.3ではスイッチS1, S1'が導通しスイッチS0が非導通になり、MOSTランジスタ21～24がソースフォロア回路を構成し、MOSTランジスタ25, 26は機能しない。VS1がVr3よりも高い場合はVO1がVO2よりも高くなり、VS1がVr3よりも低い場合はVO1がVO2よりも低くなる。他の電位比較器6.5, 6.7, ..., 6.29も同様である。

【0075】図8のSH. SBT14では、スイッチS31, S32が導通状態となり、入力電位VS1と基準電位VRMがそれぞれキャパシタ31, 32に接続される。このとき図7のD/Aコンバータ13内のすべてのスイッチS2, S4, ..., S30; S2', S4', ..., S30'は非導通状態であり、キャパシタ31, 32に印加される電位は入力電位VS1と基準電位VRMだけである。また、スイッチS33, 34が導通状態になり、増幅器33の入力ノード33a, 33bにバイアス電位Vbが印加される。すなわちSH. SBT14はサンプル状態にあり、2個のキャパシタ31, 32はそれぞれVbとVS1, VbとVRMで充電される。

【0076】一方、SH. R15では、スイッチS36, S37が導通状態にあり、スイッチS35, S38, S39, S40は非導通状態にある。2個のキャパシタ34, 35にはVRMが接続される。SH. R15の増幅器36の入力ノード36a, 36bはハイインピーダンス状態にあり、SH. R15は前のフェーズでサンプリングした電圧をホールドする。

【0077】SH. SBT14の増幅器33およびSH. R15の増幅器36は、それぞれ入力ノード33a, 33b, 36a, 36bにかかる電圧を増幅し、次段のA/Dコンバータブロック2に出力する。

【0078】(初段のA/Dコンバータブロック1の第2フェーズ) 第2フェーズに切替わるとA/Dコンバータ12の比較結果が確定する。図5の電位比較器6.3では、スイッチS1, S1'が非導通となりスイッチS0が導通し、MOSTランジスタ22, 24は機能しなくなりMOSTランジスタ25, 26が出力電位VO1, VO2の差を大きくするように働く。他の電位比較



器6. 5, 6. 7, ..., 6. 29も同様である。

【0079】電位比較器6. 3, 6. 5, ..., 6. 29の出力は図4のエンコーダ16とD/Aコンバータ13に入力される。エンコーダ16の出力D2は4ビットのデジタルコードとなる。電位比較器6. 3, 6. 5, ..., 6. 29の出力は図7のスイッチS2, S4, ..., S30のうちのいずれかのスイッチ(たとえばS28)を導通させるとともに、スイッチS2', S4', ..., S30'のうちのスイッチS28に対応するスイッチS28'を導通させる。D/Aコンバータ13は選択された基準電位Vr28とVRMをVDA, VDABとして出力する。

【0080】D/Aコンバータ13の出力電位VDA, VDABはSH. SBT14に供給される。第2フェーズではスイッチS31~S34は非導通状態にあり、第1フェーズでサンプリングされた入力電位VS1と基準電位VRMは、D/Aコンバータ13の出力電位VDA, VDABによって減算およびホールドされる。このホールドされた電位は増幅器33によって増幅され、次段のA/Dコンバータブロック2に供給される。

【0081】SH. R15ではスイッチS35, S38~S40が導通し、スイッチS36, 37が非導通になる。SH. R15の2個のキャパシタ34, 35はそれぞれVr14=VRM+0. 5LSBとVb, Vr15=VRM-0. 5LSBとVbで充電される。したがって、SH. R15では1LSBが差動電圧としてサンプリングされることになる。この電圧は第1フェーズでVRMによりホールドされる。

【0082】(2段目のA/Dコンバータブロック2の第1フェーズ)以下、第1フェーズにおけるVS2, VS2B, VR2, VR2BをVS2\_1, VS2B\_1, VR2\_1, VR2B\_1とする。同様に第2フェーズにおけるVS2, VS2B, VR2, VR2BをVS2\_2, VS2B\_2, VR2\_2, VR2B\_2とする。またVS2\_1-VS2B\_1=ΔVS2\_1, VR2\_1-VR2B\_1=ΔVR2\_1, VS2\_2-VS2B\_2=ΔVS2\_2, VR2\_2-VR2B\_2=ΔVR2\_2とする。

$$\begin{aligned} QX\_1 &= (Vb - VS2\_1) \times C + (Vb - VR\_1) \times C \\ &= C(2Vb - VS2\_1 - VR\_1) \end{aligned}$$

$$\begin{aligned} QXB\_1 &= (Vb - VS2B\_1) \times C + (Vb - VRB\_1) \times C \\ &= C(2Vb - VS2B\_1 - VRB\_1) \end{aligned}$$

となる。ここで、 $\Delta QX\_1 = QX\_1 - QXB\_1$ ,  $\Delta VS2\_1 = VS2\_1 - VS2B\_1$ ,  $\Delta VR2\_1 = VR\_1 - VRB\_1$ とすると、 $\Delta QX\_1 = -C(\Delta VS2\_1 + \Delta VR\_1)$ となる。

【0087】SH. SBT44においてはスイッチS6, S66'は非導通状態にあり、信号電圧VS2\_1, VS2B\_1はSH. SBT44のキャパシタ8.

【0083】前段のA/Dコンバータブロック1からの差動電圧ΔVS2\_1は、SH. SBT14の増幅器33の入力ノード33a, 33bにVbが印加されているため、増幅器33の出力オフセット電圧となっている。また、差動電圧ΔVR2\_1は、A/Dコンバータブロック1の1LSB相当の電圧とA/Dコンバータブロック1のSH. R15の増幅器36の出力オフセット電圧とを含んでいる。ΔVS2はA/Dコンバータブロック2のA/Dコンバータ42とSH. SBT44に入力されている。ΔVR2は基準電圧生成回路41に入力されている。

【0084】基準電圧生成回路41は、A/Dコンバータブロック1の1LSB相当の電圧とA/Dコンバータブロック1のSH. R15の増幅器36の出力オフセット電圧を含んだ電圧ΔVR2\_1を分圧して、比較用基準電圧Vr3', Vr5', ..., Vr13'およびD/A用基準電圧Vr2', Vr4', ..., Vr14'を生成する。比較用基準電圧Vr3', Vr5', ..., Vr13'はA/Dコンバータ42へ、減算用基準電圧Vr2', Vr4', ..., Vr14'はD/Aコンバータ43へ供給される。基準電圧生成回路41で生成された基準電位のうちV6, V8, V10はA/Dコンバータブロック2のSH. R45にも入力される。

【0085】A/Dコンバータ42の電圧比較回路7. 3では、スイッチS41, S42が導通状態にあり、キャパシタ51, 54はそれぞれA/Dコンバータブロック1のSH. SBT14の増幅器33の出力オフセット電圧VS2\_1, VS2B\_1とバイアス電圧Vbの間で充電され、キャパシタ52, 53はそれぞれ基準電圧生成回路41で生成された比較用基準電圧V14, V3とバイアス電圧Vbとの間で充電される。他の電圧比較器7. 5, 7. 7, ..., 7. 13も同様である。

【0086】ここで、ある電圧比較器7の比較用基準電圧をVRとし、第1フェーズで生じている電圧をVR\_1, VRB\_1とする。また増幅器55の入力ノード55a, 55bの第1フェーズの電荷量をそれぞれQX\_1, QXB\_1とすると、

1, 8. 1'に接続されている。D/Aコンバータ43ではスイッチS52, S54, ..., S64のうちの1つのスイッチ(たとえばS54)とスイッチS52', S54', ..., S64'のうちのスイッチS54に対応するスイッチS62'が導通する。残りのスイッチは非導通状態である。このため、SH. SBT44のキャパシタ8. 1, 8. 2, 8. 4, ..., 8. 14; 8. 1', 8. 2', 8. 4', ..., 8. 14'のうちVS2, V



S2Bに接続されているキャパシタ8.1, 8.1'と、D/Aコンバータ43で導通状態にあるスイッチS54, S62'に接続されているキャパシタ8.4, 8.12'以外のキャパシタの一方電極がハイインピーダンス状態にある。この一方電極がハイインピーダンス状態にあるキャパシタは機能しない。SH. SBT44は第1フェーズでは減算・ホールド状態にあり、その出力は $\Delta VS2\_2 - \Delta VS2\_1 - \Delta VDA$ である。ここで $\Delta VDA$ はD/Aコンバータ43の出力である。この説明は後ほど行なう。

【0088】図17のSH. R45では、スイッチS72, S74, ..., S86; S72', S74', ..., S86'が導通状態にあり、キャパシタ9.1, 9.1'はそれぞれVbとV10\_1, VbとV6\_1で充電される。また、残りのキャパシタはVbとV8で充電される。このとき増幅器57の入力ノード57a, 57bの電荷量をそれぞれQY\_1, QYB\_1、その差を $\Delta QY\_1$ とすると、

$$\begin{aligned} QY\_1 &= (Vb - V10\_1) \times C + 7 \times (V8 - V \\ QX\_2 &= C (VX\_2 - VS2\_2) + C (VX\_2 - VR\_2) \\ &= C (2VX\_2 - VS2\_2 - VR\_2) \\ QXB\_2 &= C (VXB\_2 - VSB2\_2) + C (VXB\_2 - VRB\_2) \\ &= C (2VXB\_2 - VSB2\_2 - VRB\_2) \\ \Delta QX\_2 &= C (2\Delta VX\_2 - (\Delta VS2\_2 + \Delta VR\_2)) \end{aligned}$$

となる。ここで、QX, QXBは第1フェーズおよび第2フェーズを通して変化しないので、

$$\begin{aligned} \Delta QX\_1 &= \Delta QX\_2 - C (\Delta VS2\_1 + \Delta VR\_1) \\ &= C (\Delta VX\_2 - (\Delta VS2\_2 + \Delta VR\_2)) \\ \Delta VX\_2 &= ((\Delta VS2\_2 - \Delta VS2\_1) \\ &\quad + (\Delta VR\_2 - \Delta VR\_1)) / 2 \end{aligned}$$

が成り立つ。

【0091】 $\Delta VS2\_2$ は、A/Dコンバータブロック1のSH. SBT14がホールド状態にあるときの出力であり、入力アナログ電圧からD/Aコンバータ13の出力電圧を減算した結果を増幅したものである。ただし、 $\Delta VS2\_2$ にはSH. SBT14の増幅器33の出力オフセット電圧が含まれている。 $\Delta VS2\_1$ は、SH. SBT14がサンプル状態にあり、SH. SBT14の増幅器33の入力ノード33a, 33bにVbが印加されているときの出力である。したがって、 $\Delta VS2\_1$ はSH. SBT14の増幅器33の出力オフセット電圧となる。よって、 $\Delta VS2\_2 - \Delta VS2\_1$ はSH. SBT14の増幅器33の出力オフセット電圧の影響を補正した信号となる。

【0092】 $\Delta VR\_1$ は、A/Dコンバータブロック1のSH. R15がホールド状態にあるときの出力であり、A/Dコンバータブロック1の1LSB相当の電圧を増幅したものである。ただし、 $\Delta VR\_1$ にはSH. R15の増幅器36の出力オフセット電圧が加算されている。 $\Delta VR\_2$ は、SH. R15がサンプル状態にあり、SH. R15の増幅器36の入力ノード36a, 3

b)

$$QYB\_1 = (Vb - V6\_1) \times C + 7 \times (V8 - Vb)$$

$$\Delta QY\_1 = - (V10\_1 - V6\_1) \times C$$

となる。

【0089】(2段目のA/Dコンバータブロック2の第2フェーズ) 第2フェーズに切換わると、 $\Delta VS2$ は減算電圧となり、 $\Delta VR2$ はA/Dコンバータブロック1のSH. R15の増幅器36の出力オフセット電圧となる。A/Dコンバータ42は比較を行なう。SH. SBT44はサンプル期間になる。SH. R45はホールド期間になる。

【0090】A/Dコンバータ43の電圧比較器7では第1フェーズに $\Delta VS2\_1$ と $\Delta VR\_1$ がサンプルされている。ノード55a, 55bの第2フェーズの電位をVX\_2, VXB\_2とし、ノード55a, 55bの第2フェーズの電荷量をQX\_2, QXB\_2とすると、

6bにVbが印加されているときの出力である。したがって、 $\Delta VR\_2$ はSH. R15の増幅器36の出力オフセット電圧となる。よって、 $-(\Delta VR\_2 - \Delta VR\_1)$ はSH. R15の増幅器36の出力オフセット電圧の影響を補正した比較用基準電圧となる。これにより、 $\Delta VX\_2$ は、それぞれがA/Dコンバータブロック1のSH. SBT14およびSH. R15のアンプ33, 36の出力オフセット電圧の影響を除去された $\Delta VS2$ と $\Delta VR$ の差となり、より高精度な比較が可能となる。

【0093】電圧比較回路7の出力は第2フェーズで確定し、エンコーダ46へ入力される。図17のSH. R45はホールド状態になり、スイッチS86, S86'が導通状態、スイッチS72, S74, ..., S84; S72' S74', ..., S84'が非導通状態になる。ノード57a, 57bの電位をVY, VYB、その差を $\Delta VYB$ とすると、

$$QY\_2 = C (VY - V10\_2) + C (VY - Vb)$$

$$QYB\_2 = C (VYB - V6\_2) + C (VYB - Vb)$$

$$\Delta QY\_2 = C (2\Delta VY\_2 - V10\_2 + V6\_2)$$

2)

となる。ここで、 $\Delta QY\_1 = \Delta QY\_2$ であるから、  
 $-(V10\_1 - V6\_1) \times C = C(2\Delta VY\_2 - V10\_2 + V6\_2)$   
 $\Delta VY\_2 = ((V10\_2 - V10\_1) - (V6\_2 - V6\_1)) / 2$   
 となる。

【0094】 $V10\_2 - V6\_2$ はA/Dコンバータブロック1のSH. R15の増幅器36の出力オフセット電圧であり、 $V10\_1 - V6\_1$ はSH. R15の増幅器36の出力オフセット電圧を含んだ基準電圧であるから、 $\Delta VY\_2$ は、SH. R15の増幅器36の出力オフセット電圧の影響を除去した電圧となる。このため、より高精度な基準電圧を次段のA/Dコンバータブロック3に伝達することができる。

【0095】図15のSH. SBT44は、第2フェーズではサンプル状態にあり、スイッチS66、S66'は導通状態になる。また、D/Aコンバータ43のすべてのスイッチS52、S54、…、S46；S52'、S54'、…、S64'が導通状態になる。したがって、SH. SBT44のすべてのキャパシタ8.1、8.2、8.4、…、8.14；8.1'、8.2'、8.4'、…、8.14'が充電される。

【0096】D/Aコンバータ43は、第1フェーズでは選択されたスイッチ（たとえばS54とS62'）のみが導通状態となり、残りのすべてのスイッチは非導通状態となる。非導通状態のスイッチに接続されているキャパシタは一方がハイインピーダンス状態であるため充電されない。また、選択された基準電圧（この場合V4とV12）の出力オフセット電圧は第2フェーズでSH. SBT44にサンプルされているので、その影響は除去される。したがって、SH. SBT44では、SH. R45と同様に $\Delta VS2$ 、 $\Delta VR2$ のオフセットの影響を除去した減算結果が第1フェーズでホールドされる。

【0097】（3段目のA/Dコンバータブロック3）A/Dコンバータブロック2の第1フェーズではSH. SBT44が減算・ホールド期間、SH. R45がサンプル期間であり、A/Dコンバータブロック2の第2フェーズではSH. SBT44がサンプル期間、SH. R45がホールド期間であった。A/Dコンバータブロック3ではA/Dコンバータブロック2の第1フェーズと第2フェーズを入換えた動作が行なわれる。すなわち、A/Dコンバータブロック3の第1フェーズではSH. SBT64がサンプル期間、SH. R65がホールド期間となり、A/Dコンバータブロック3の第2フェーズではSH. SBT64が減算・ホールド期間、SH. R65がサンプル期間となる。これにより、A/Dコンバータブロック2のSH. SBT44、SH. R45の増幅器56、57の出力オフセット電圧の影響を除去した

信号に対して3ビットのA/D変換を行ない、サンプル/減算・ホールドを行なうことができる。

【0098】（最終段のA/Dコンバータブロック4）A/Dコンバータブロック4は最終段であるから、D/Aコンバータ、SH. SBTおよびSH. Rは不必要となる。ただし、A/Dコンバータブロック4のA/Dコンバータ72は2段目および3段目のA/Dコンバータ42、62と異なり、8つの比較用基準電圧 $Vr1''$ 、 $Vr3''$ 、…、 $Vr15''$ が必要になる。また、A/Dコンバータ72の出力コードは-1〜7となる。

【0099】（論理回路）論理回路5は、初段のA/Dコンバータブロック1の4ビットのデジタルコードD2を10ビット〜7ビットまでに、2段目のA/Dコンバータブロック2の3ビットのデジタルコードD3を7ビット〜5ビットに、3段目のA/Dコンバータブロック3の3ビットのデジタルコードD4を5ビット〜3ビットまでに、最終段のA/Dコンバータブロック4の3ビットのデジタルコードD5を3ビット〜1ビットに割当てた10ビットのデジタルコードD0を生成し出力する。各A/Dコンバータブロック1〜4間では最終的なデジタルコードは1ビットずつ重なっており、たとえばA/Dコンバータブロック1〜3内のA/Dコンバータ12、42、62が誤差を含んでいたとしても次段のA/Dコンバータブロック2〜4で補正される。

【0100】

【発明の効果】以上のように、この発明の第1のパイプライン型A/Dコンバータでは、第1のサンプル/ホールド手段は、クロック信号が第1の電位である期間にアナログ電圧をサンプリングするとともにオフセット電圧を出力し、クロック信号が第2の電位である期間にサンプリングしたアナログ電圧からD/Aコンバータの出力電圧を減算する。そして、減算手段は第1のサンプル/ホールド手段のクロック信号が第2の電位である期間の出力電圧からクロック信号が第1の電位である期間の出力電圧を減算して第2のA/Dコンバータに与える。したがって、第1のサンプル/ホールド手段のオフセットの影響を除去することができ高精度なA/D変換を行なうことができる。

【0101】また、第1のA/Dコンバータは第1の電圧発生手段、複数の第1の電圧比較手段および第1のエンコーダを含み、D/Aコンバータは第1のスイッチ手段を含み、第2のA/Dコンバータは第2の電圧発生手段、複数の第2の電圧比較手段および第2のエンコーダを含むこととすれば、第1のA/Dコンバータ、D/Aコンバータおよび第2のA/Dコンバータを容易に構成できる。

【0102】また、各第1の電圧比較手段は、第1および第2の出力ノード、第1および第2の定電流源、第1〜第4のトランジスタ、および切換手段を含むこととすれば、A/D変換をより高速に行なうことができる。

【0103】また、さらに、クロック信号が第2の電位である期間に第1のA/Dコンバータの1LSBに相当する第2の基準電圧をサンプリングするとともにオフセット電圧を出力し、クロック信号が第1の電位である期間にそのサンプリングした第2の基準電圧を出力する第2のサンプル/ホールド手段と、第2のサンプル/ホールド手段の出力電圧を分圧して生成した第2の比較用基準電圧のクロック信号が第1の電位である期間の値からクロック信号が第2の電位である期間の値を減算する第2の減算手段を設ければ、第2のサンプル/ホールド手段のオフセットの影響を除去することができ、一層高精度のA/D変換を行なうことができる。

【0104】また、この発明の第2のパイプライン型A/Dコンバータは、第1のパイプライン型A/Dコンバータを差動構成としたものである。したがって、ノイズを除去することができ、より高精度なA/Dコンバータを行なうことができる。

【0105】また、第1のA/Dコンバータは基準電位発生手段、複数の電位比較手段および第1のエンコーダを含み、D/Aコンバータは第4および第5のスイッチ手段を含み、第2のA/Dコンバータは基準電圧発生手段、複数の電圧比較手段および第2のエンコーダを含むこととすれば、第1のA/Dコンバータ、D/Aコンバータおよび第2のA/Dコンバータを容易に構成できる。

【0106】また、各電位比較手段は、第1および第2の出力ノード、第1および第2の定電流源、第1～第4のトランジスタ、および切換手段を含むこととすれば、A/D変換をより高速に行なうことができる。

【0107】また、さらに、クロック信号が第2の電位である期間に第1のA/Dコンバータの1LSBに相当する電圧をサンプリングするとともにオフセット電圧を出力し、クロック信号が第1の電位である期間にサンプリングした第2の基準電圧を出力する第2の差動増幅器を含むサンプル/ホールド手段と、このサンプル/ホールド手段の出力電圧を分圧して生成した比較用基準電圧のクロック信号が第1の電位である期間の値からクロック信号が第2の電位である期間の値を減算する第2の減算手段を備えれば、サンプル/ホールド手段のオフセットの影響を除去することができ、一層高精度のA/D変換を行なうことができる。

【0108】また、第1の減算手段は第5のキャパシタ、第6のキャパシタおよび第10のスイッチ手段を含み、第2の減算手段は第7および第8のキャパシタを含むこととすれば、第1および第2の減算手段を容易に構成できる。

【0109】また、この発明の電圧比較器は、第1および第2の出力端子、第1および第2の定電流源、第1～第4のトランジスタ、および比較手段を備え、増幅を行なわないので判別時間が従来よりも短縮化される。

【図面の簡単な説明】

【図1】 この発明の一実施の形態によるパイプライン型A/Dコンバータの構成を示すブロック図である。

【図2】 図1に示した初段のA/Dコンバータブロック1の構成を示す一部省略したブロック図である。

【図3】 図2に示した基準電位発生回路11の構成を示す回路図である。

【図4】 図2に示したA/Dコンバータ12の構成を示す一部省略した回路ブロック図である。

【図5】 図4に示した電位比較器6.3の構成を示す回路図である。

【図6】 図5に示した電位比較器6.3の動作を説明するためのタイムチャートである。

【図7】 図2に示したD/Aコンバータ13の構成を示す回路図である。

【図8】 図2に示したSH. SBT14の構成を示す回路ブロック図である。

【図9】 図8に示したSH. SBT14の入力されたアナログ電位VS1と出力電圧ΔVS2の関係を示す図である。

【図10】 図2に示したSH. R15の構成を示す回路ブロック図である。

【図11】 図1に示した2段目のA/Dコンバータブロック2の構成を示す一部省略したブロック図である。

【図12】 図11に示した基準電圧生成回路41の構成を示す回路図である。

【図13】 図11に示したA/Dコンバータ42の構成を示す一部省略した回路ブロック図である。

【図14】 図13に示した電圧比較回路7.3の構成を示す回路ブロック図である。

【図15】 図11に示したD/Aコンバータ43およびSH. SBT44の構成を示す回路ブロック図である。

【図16】 (a)は前段から入力された電圧ΔVS2とA/Dコンバータ42の出力コードの関係を示す図、

(b)は前段から入力された電圧ΔVS2とSH. SBT44の出力電圧ΔVS3の関係を示す図である。

【図17】 図11に示したSH. R45の構成を示す回路ブロック図である。

【図18】 図1に示した3段目のA/Dコンバータブロック3の構成を示す一部省略したブロック図である。

【図19】 図1に示した最終段のA/Dコンバータブロック4の構成を示す一部省略したブロック図である。

【図20】 前段から入力された電圧ΔVS4とA/Dコンバータ72の出力コードの関係を示す図である。

【図21】 従来のパイプライン型A/Dコンバータの構成を示す一部省略した回路ブロック図である。

【図22】 図21に示したA/Dコンバータ82.1に含まれる電位比較器の構成を示す回路図である。

【図23】 図21に示した減算回路84.1の構成を

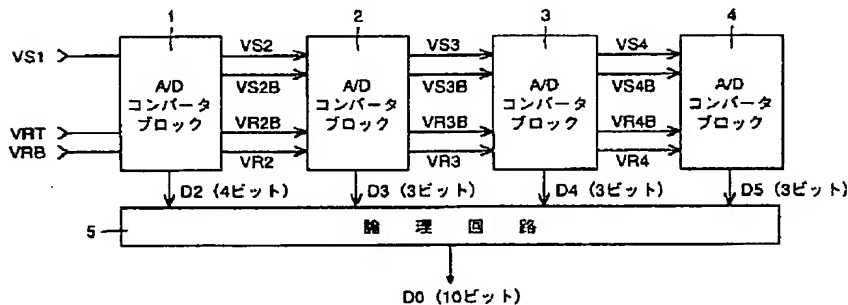
示す一部省略した回路ブロック図である。

【符号の説明】

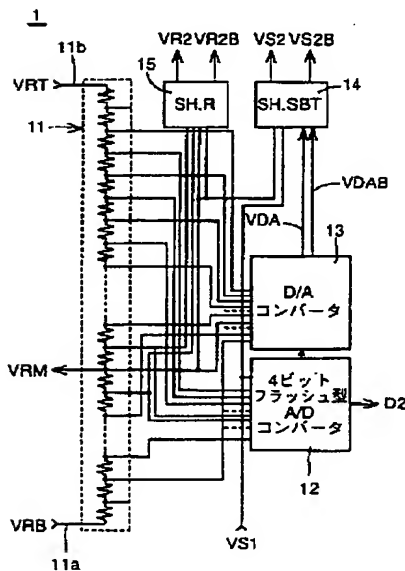
1～4 A/Dコンバータブロック、5 論理回路、  
6, 55 電位比較器、7 電圧比較回路、11 基準  
電位生成回路、12, 42, 62, 72 A/Dコンバ  
ータ、13, 43, 63 D/Aコンバータ、14, 4  
4, 64 SH. SBT、15, 45, 65 SH.

R、16, 46 エンコーダ、21～24 PチャネルM  
OSトランジスタ、25, 26 NチャネルMOSトラ  
ンジスタ、8, 9, 31, 32, 34, 35, 51～5  
4 キャパシタ、33, 36, 56, 57 差動増幅  
器、41, 61, 71 基準電圧生成回路、S スイ  
チ、R抵抗素子。

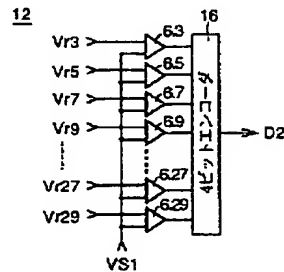
【図1】



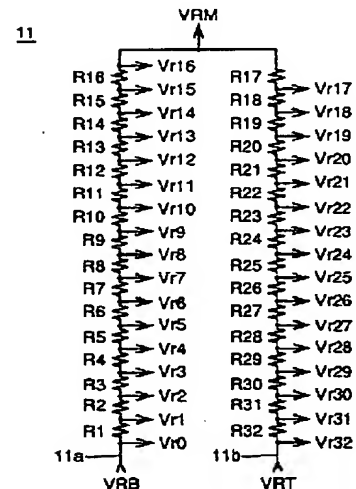
【図2】



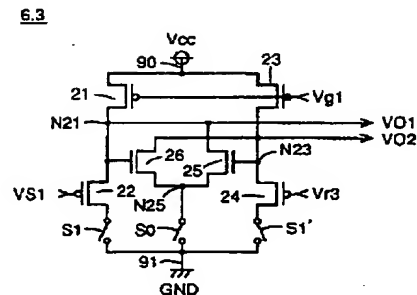
【図4】



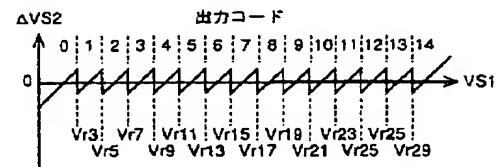
【図3】



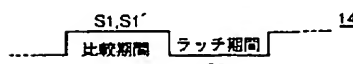
【図5】



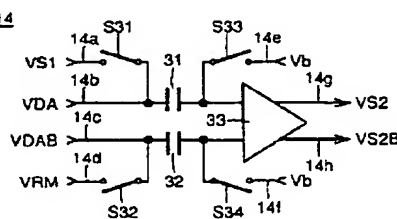
【図9】



【図6】

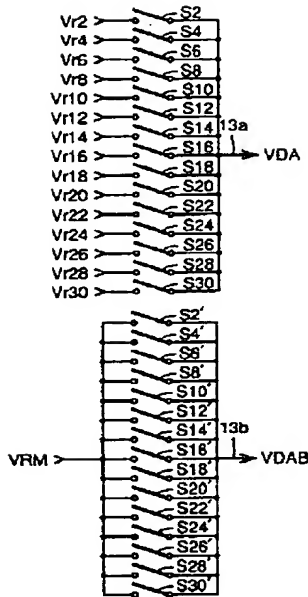


【図8】



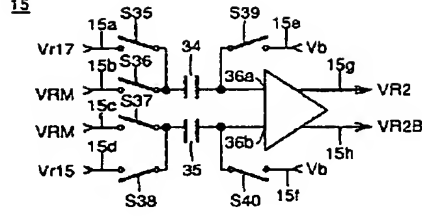
【図7】

13

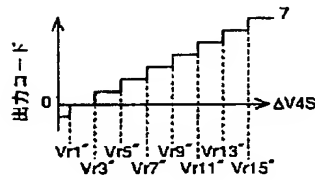


【図10】

15

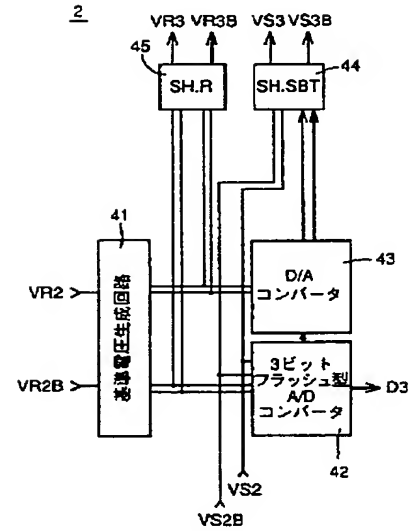


【図20】



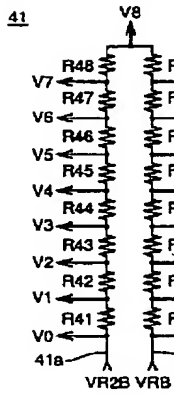
【図11】

2

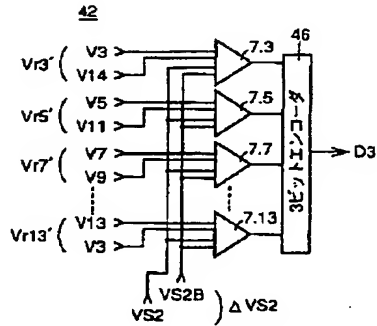


【図14】

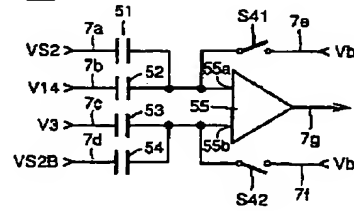
【図12】



【図13】

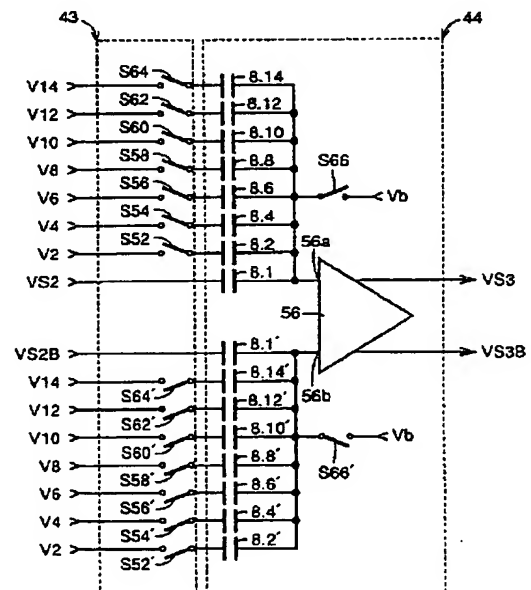
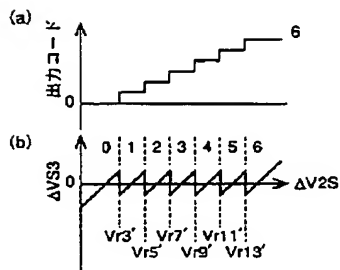


7.3



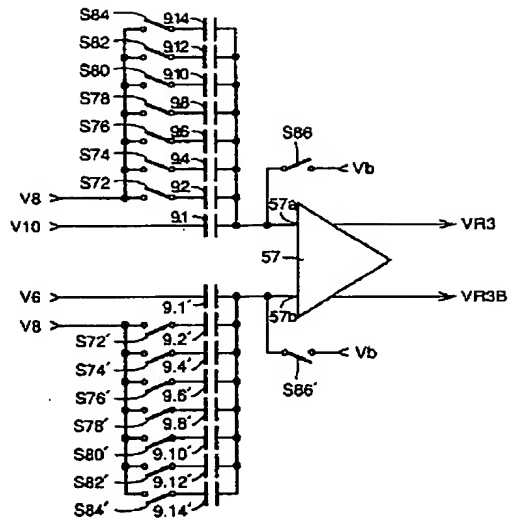
【図15】

【図16】

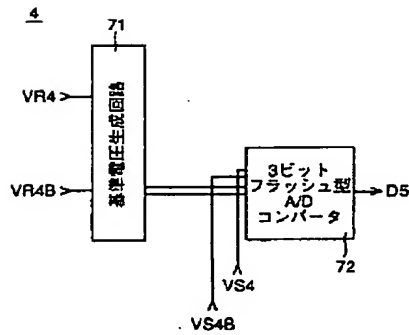


【図17】

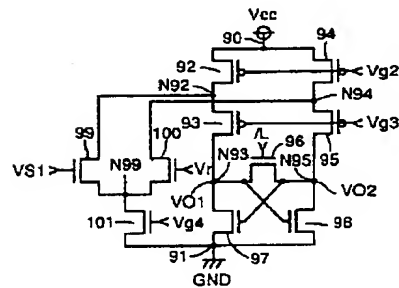
45



【図19】

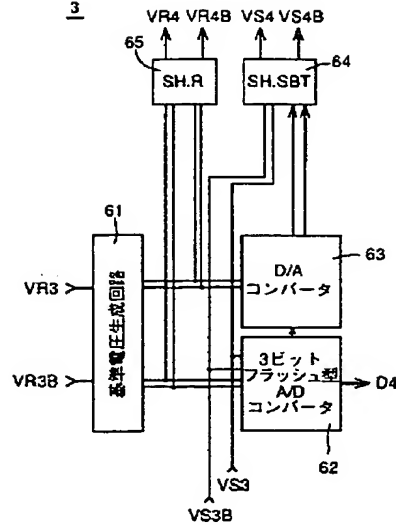


【図22】

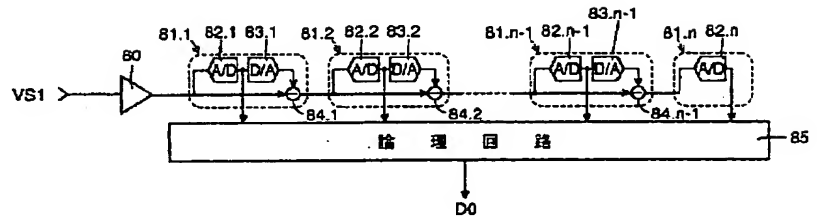


【図18】

3



【図21】



【図23】

84.1

